

DS P. 2. 17e 3

RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication : **2 319 972**  
(A n'utiliser que pour les  
commandes de reproduction).

A1  
**DEMANDE  
DE BREVET D'INVENTION**

(21) **N° 75 24147**

- 
- (54) Procédé de fabrication de diodes du type «pin» et diodes dites à «méso partielle»  
obtenues par ledit procédé.
- (51) Classification internationale (Int. Cl.<sup>3</sup>). H 01 L 21/04, 29/86.
- (22) Date de dépôt ..... 1er août 1975, à 15 h 32 mn.
- (33) (32) (31) Priorité revendiquée :
- (41) Date de la mise à la disposition du  
public de la demande ..... B.O.P.I. — «Listes» n. 8 du 25-2-1977.
- 
- (71) Déposant : Société dite : THOMSON-CSF, résidant en France.
- (72) Invention de : Raymond Henry et Michel Callegaro.
- (73) Titulaire : *Idem* (71)
- (74) Mandataire :
-

*thin*

L'invention concerne un procédé de fabrication de diodes du type "PIN" et les diodes dites "à résa partielle" obtenues par ledit procédé. Il s'agit de diodes constituées au sein d'un bloc de matériau semiconducteur par trois couches de dopages et de conductibilités différentes s'étageant dans la section transversale du matériau : une couche, généralement fortement dopée de type P, relativement mince, une couche "I" dite intrinsèque de matériau de conductivité quasi-nulle, relativement très épaisse dans le cas de l'invention, et une couche, généralement fortement dopée de type N, relativement mince. Une "mésa I partielle" est caractérisée par une section au niveau d'une jonction plus faible que la section au niveau de l'autre jonction latérale. Cela assure une bien meilleure évacuation de chaleur que pour une "mésa totale". De plus la résistance série est plus faible. *The thicker the I*

15 La fabrication de diodes PIN à très forte épaisseur de semiconducteur intrinsèque nécessite l'utilisation de procédés assez complexes, faisant appel soit à une première attaque chimique, soit à un procédé mixte, mécanique et chimique, pour la séparation de chacune des diodes de la rondelle sur laquelle elles ont été préalablement réalisées. Après la séparation des diodes chacune d'elles doit subir une nouvelle attaque chimique après avoir été montée sur un support ou dans un boîtier. Ces divers procédés sont difficiles à mettre en oeuvre, car les vitesses d'attaque chimique d'un semiconducteur intrinsèque sont très différentes de celles d'un semiconducteur fortement dopé : il en résulte une attaque latérale irrégulière et un dispositif de moindres qualité. En outre l'attaque chimique augmente la résistance de fuite, ce qui peut se révéler être un défaut dans certaines applications.

L'invention permet de remédier à ces difficultés.

30 Le procédé selon l'invention, part d'une plaquette de matériau semi-conducteur comportant, comme on l'a dit, deux couches superficielles respectivement dopées P et N, situées de part et d'autre d'une couche interne de semiconducteur intrinsèque dite couche "I" beaucoup plus épaisse que lesdites couches superficielles ; il s'agit d'un procédé de type collectif permettant de réaliser de nombreuses diodes en une seule opération ; il est caractérisé en ce qu'il comporte au moins les étapes suivantes :

a) exécution d'un premier quadrillage de traits de scie péné-

*thick.*

*i-type middle portion, rather than lightly doped with specific type (p or n).*

trant au coeur de la couche interne comportant des paires de traits perpendiculaires, lesdites paires délimitant deux à deux les parties "mésa" d'un certain nombre de diodes ;

b) sciage de la plaquette en morceaux suyant les traits d'un deuxième quadrillage encadrant lesdites parties "mésa".

L'invention sera mieux comprise, et d'autres caractéristiques apparaîtront, au moyen de la description qui suit, et des dessins qui l'accompagnent, parmi lesquels :

La figure 1 est un croquis perspectif d'un fragment de la plaquette sur laquelle on a dessiné, de façon conventionnelle, les marques d'un sciage à exécuter ;

La figure 2 est une coupe transversale d'une portion de plaquette après sciage ;

La figure 3 est un croquis perspectif d'une diode terminée.

15 A la surface du fragment de plaquette T représenté figure 1, on a dessiné un premier quadrillage de traits continus, comprenant une première paire 11 de traits parallèles 111 et 112, et une deuxième paire 12 de traits 121 et 122 perpendiculaires aux précédents. Les paires 11 et 12 délimitent à leur croisement la partie mésa M d'une diode D choisie au hasard parmi celles qui sont fabriquées collectivement dans la plaquette T.

Un deuxième quadrillage de traits discontinus représente par convention les traits de sciage qui permettront de séparer les différentes diodes semblables à la diode D délimitée par les traits 21, 22, 23 et 24.

Une coupe de la diode D suivant un plan de trace XX sur la figure 1, est représentée figure 2, en faisant apparaître les couches 1 ( $N^+$ ), 2 (I) et 3 ( $P^+$ ). Les traits de scie 111 et 112 pénètrent au coeur de la couche I, ici à environ la moitié. La profondeur de ce premier sciage peut aller du tiers à la moitié de la couche I.

Par contre, les traits de scie visibles 21 et 23, et les traits de scie 22 et 24 (invisibles parce que parallèles au plan de figure) sont prolongés jusqu'à séparation complète de la diode D.

Les dimensions usuelles de telles diodes sont les suivantes :

- épaisseur des couches  $P^+$  et  $N^+$  de l'ordre de 10 à 40 microns ;
  - épaisseur de la couche I de l'ordre de 50 à 200 microns ;
  - longueur et largeur de la diode de l'ordre du millimètre,
- mais susceptibles d'être largement majorées pour écouler des puis-  
5 sances relativement importantes.

Figure 3, on a représenté en perspective le bloc D sur lequel apparaissent les sillons 111, 112, 121 et 122. On laisse subsister les huit saillies qui bordent la partie "mésa". La surface 30 de cette partie est métallisée au cours d'une étape de finition de la  
10 rondelle effectuée en protégeant de préférence de tout dépôt de métal les surfaces des saillies telles que 31, 32, 33. De même la face opposée à la surface 30 reçoit une métallisation au cours de la même étape. Ces métallisations n'ont pas été représentées figure 3, pas plus que le support de la diode ni ses bornes de raccordement électrique.

15 On peut utiliser une telle diode, dans laquelle les surfaces internes des gorges séparant la partie "mésa" des saillies sont laissées brutes de sciage. On met ainsi à profit la résistance de fuite de valeur finie, généralement bien reproductible lorsqu'on utilise des machines de sciage perfectionnées (à disque diamanté ou  
20 à fils). L'utilisation de ces diodes est décrite dans la demande de brevet déposée par la demanderesse le 16 Avril 1974 sous le N° 74.13 206.

On peut également, par divers procédés de finition (vernis, dépôt de silice ou de verre), protéger les surfaces 31, 32, 33 et  
25 les surfaces analogues des différentes saillies, ainsi que les gorges du dispositif.

Les avantages du procédé selon l'invention sont les suivantes :

- une meilleure reproductibilité (par rapport au procédé d'attaque chimique) des dimensions de la diode et de sa capacité propre :  
30 il y a notamment une très faible dispersion des capacités ;
- une bonne évacuation transversale de la chaleur dissipée à l'utilisation ;
- un prix de revient plus faible que par attaque chimique totale.

2319972

Une très légère attaque chimique peut cependant être effectuée soit à l'échelon "rondell " après traits de scie 111, 112, 121, 122 ou même éventuellement à l'échelon "puce unitaire".

- Le procédé est également applicable à une plaquette où l'on
- 5 inverserait le type de conductibilité des couches extrêmes. En outre la couche I pourrait être de haute résistivité de type N<sup>-</sup> ou P<sup>-</sup>, sans être littéralement "intrinsèque".

REVENDICATIONS

1. Procédé de fabrication de diodes de type "PIN" à partir d'une plaquette de matériau semiconducteur comportant deux couches superficielles respectivement dopées P et N situées de part et d'autre d'une couche interne de semiconducteur intrinsèque dite  
5 couche "I" beaucoup plus épaisse que lesdites couches superficielles, caractérisé en ce qu'il comporte au moins les étapes suivantes :
  - a) exécution d'un premier quadrillage de traits de scie pénétrant au coeur de la couche interne et comportant des paires de traits perpendiculaires, lesdites paires délimitant deux à deux les  
10 parties "mésa" d'un certain nombre de diodes de type "PIN" ;
  - b) sciage de la plaquette en morceaux suivant les traits d'un deuxième quadrillage encadrant lesdites parties "mésa".
2. Procédé suivant la revendication 1, caractérisé en ce que, à l'étape (a), les traits de scie pénètrent dans la couche interne,  
15 à une profondeur atteignant environ le tiers ou la moitié de la profondeur de cette couche.
3. Procédé suivant la revendication 1, caractérisé en ce qu'il comporte une étape supplémentaire au cours de laquelle les gorges et les saillies entourant la partie "mésa" reçoivent une protection  
20 isolante.
4. Diode caractérisée en ce qu'elle est obtenue par un procédé suivant l'une des revendications 1 à 3.

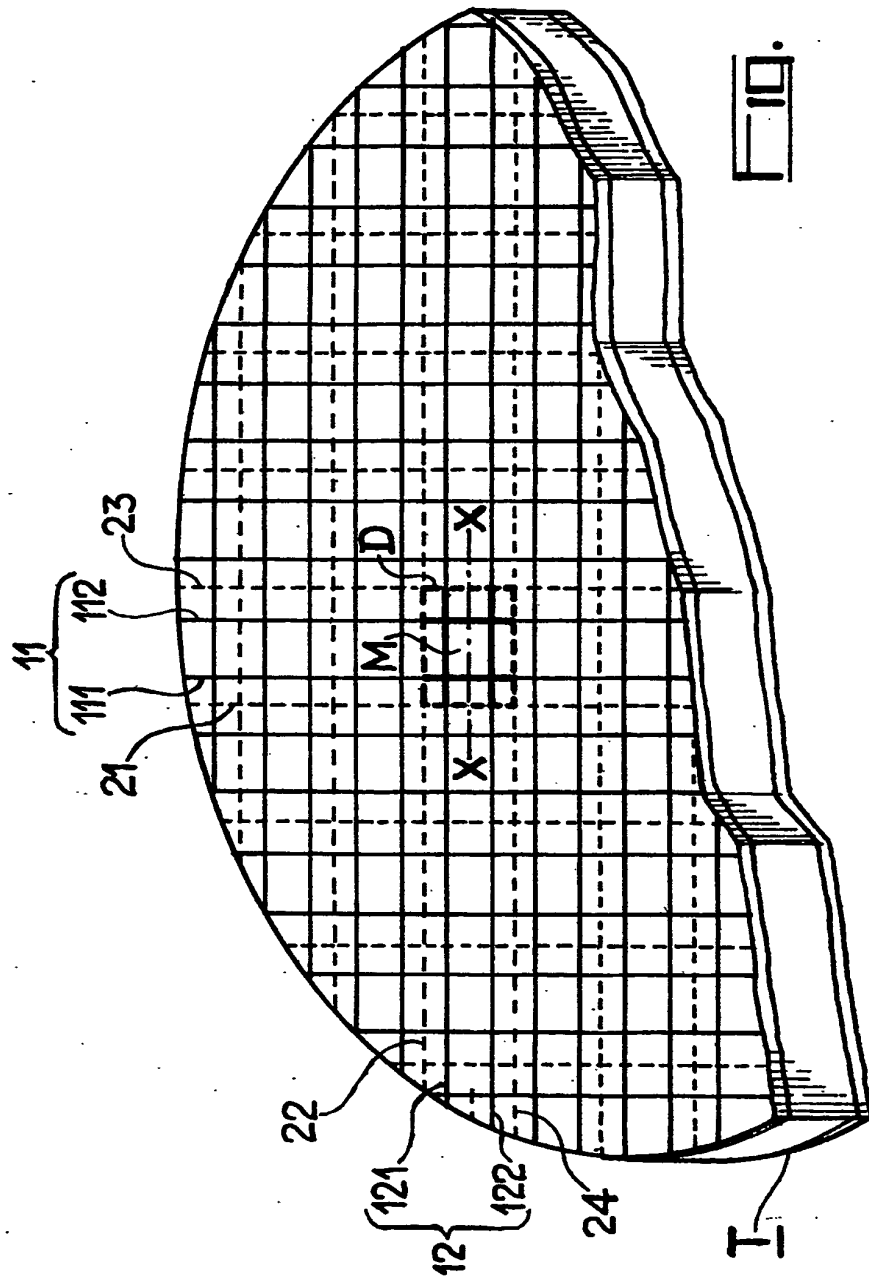


FIG. 1

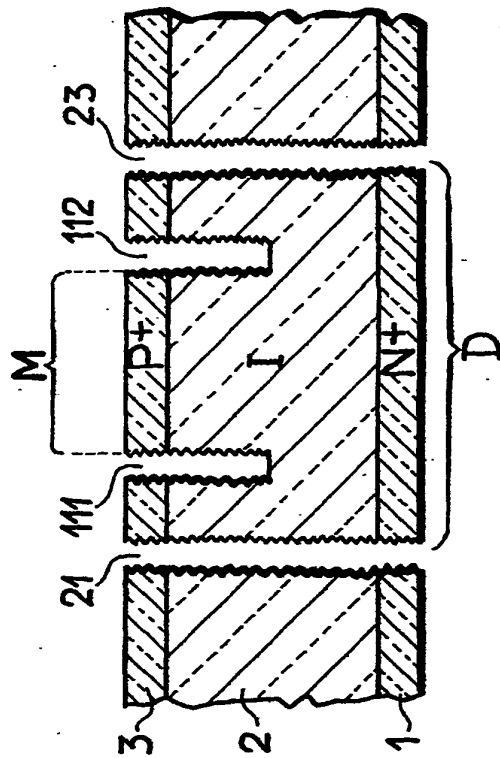


FIG. 2

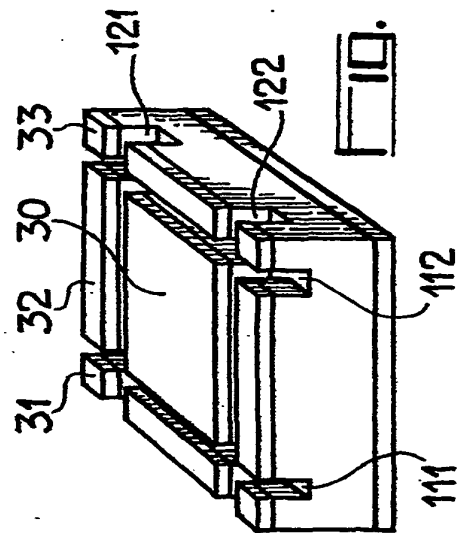


FIG. 3



**HPS Trailer Page  
for  
EAST**

---

**UserID: JMondt\_Job\_1\_of\_1  
Printer: cp4\_3c03\_gbfhptr**

**Summary**

<b>Document</b>	<b>Pages</b>	<b>Printed</b>	<b>Missed</b>	<b>Copies</b>
<b>FR002319972A1</b>	<b>8</b>	<b>8</b>	<b>0</b>	<b>1</b>
<b>Total (1)</b>	<b>8</b>	<b>8</b>	<b>0</b>	<b>-</b>

DERWENT-ACC-NO: 1977-D8828Y

DERWENT-WEEK: 197719

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Prodn. of PIN diodes - from wafer with thick intrinsic layer uses partial cuts to form mesas and full cuts to form chips

PATENT-ASSIGNEE: THOMSON CSF[CSFC]

PRIORITY-DATA: 1975FR-0024147 (August 1, 1975)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
FR 2319972 A	April 1, 1977	N/A	000	N/A

INT-CL (IPC): H01L021/04, H01L029/86

ABSTRACTED-PUB-NO: FR 2319972A

BASIC-ABSTRACT:

The PIN diode consists of thin regions doped p (3) and n (1) on each side of a thick intrinsic layer (2) and is made in the following way: the PIN wafer is first provided with line cuts (111, 112) to form squares and penetrating into the centre of the intrinsic layer but not right through the wafer. The wafer is then cut into chips each with a mesa structure by making a second series of cuts (21, 23) between the first series.

The mesa (M) structures are made by the first series of cuts. The method can also be applied to any semiconductor (esp. a diode) having a mesa structure. The first cuts penetrate about one third or one half way through the internal layer.

TITLE-TERMS: PRODUCE PIN DIODE WAFER THICK INTRINSIC LAYER CUT  
FORM MESA FULL  
CUT FORM CHIP

DERWENT-CLASS: U11 U12